

# Transistor à effet de champ

## Propriétés

Contrairement aux transistors classiques, l'électrode de commande d'un Transistor à Effet de Champ ne consomme pas de puissance. Un TEC aura:

- une haute impédance d'entrée;
- un bon comportement en HF avec un faible bruit ;
- une commutation sans tension d'offset.

Il existe deux sortes de Transistors à Effet de Champ :

- A) Le TEC classique, ou « à jonction », dit FET (Field Effect Transistor) ;
- B) Le MOST ou MOS-FET (Metal Oxyd Semiconductor - Field Effect Transistor).

### A) Le FET

La première construction était constituée d'un barreau N autour duquel on avait diffusé un anneau P (Technétron) (figure 1).

Le barreau N présente une résistance purement ohmique dont l'extrémité positive s'appelle le drain et l'extrémité négative se nomme la source.

L'anneau P s'appelle grille, porte ou « gate ». C'est l'électrode de commande.

Actuellement, les transistors à effet de champ sont réalisés suivant la structure planar grâce à deux diffusions successives (figure 4). Le canal se trouve entre gate et substrat.

La représentation symbolique d'un FET à canal N est indiquée en figure 2, tandis que la figure 3 correspond à celle d'un canal P.

### Analyse détaillés du fonctionnement

Nous noterons d'abord que la diode constituée par la gate et le canal sera toujours polarisée en inverse.

Nous allons étudier le fonctionnement du FET sur le schéma fortement grossi de la figure 5. Le substrat est toujours réuni à la source.

1) Plaçons la source à 0 V et la gate également à 0 V.

Le drain sera positif. Nous noterons que la diode canal-substrat ayant une polarisation nulle ou négative ne peut conduire. Il n'y aura aucun courant entre canal et substrat.

Du côté de la source, la diode gate-canal est très peu polarisée en inverse.

Du côté drain, la diode est fortement polarisée en inverse, donc la barrière de potentiel est plus forte, ce qui conduit à augmenter l'épaisseur de la jonction.

Le même phénomène se produit du côté du substrat, ce qui correspond à créer un goulot d'étranglement qui limite le courant et ceci d'autant plus fortement que la tension drain-source augmente.

2) Rendons la gate négative.

Le goulot d'étranglement va se resserrer d'autant plus que la gate devient plus négative.

Le courant diminue dans le canal. La tension gate-source pour laquelle le courant s'annule s'appelle tension de pincement (ou « pinch-off ») appelée  $V_p$  (elle correspond au « cutoff » des tubes).

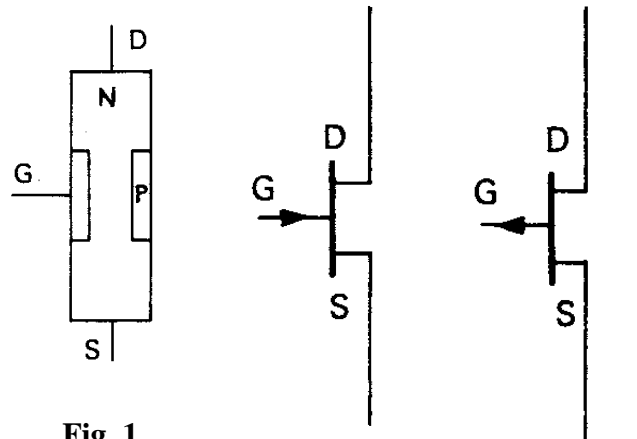


Fig. 1

Fig. 2

Fig. 3

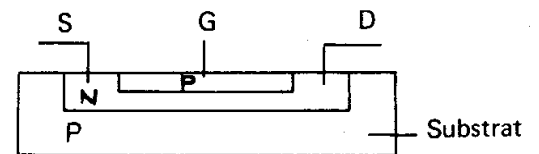


Fig. 4

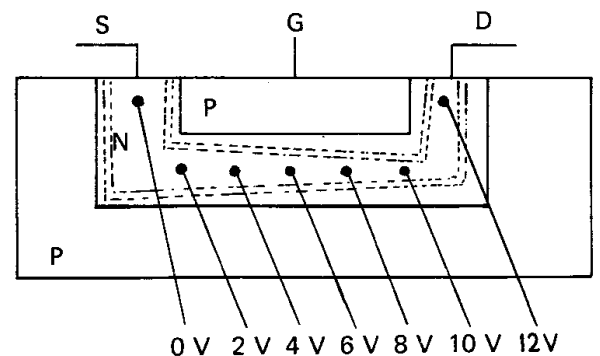


Fig. 5

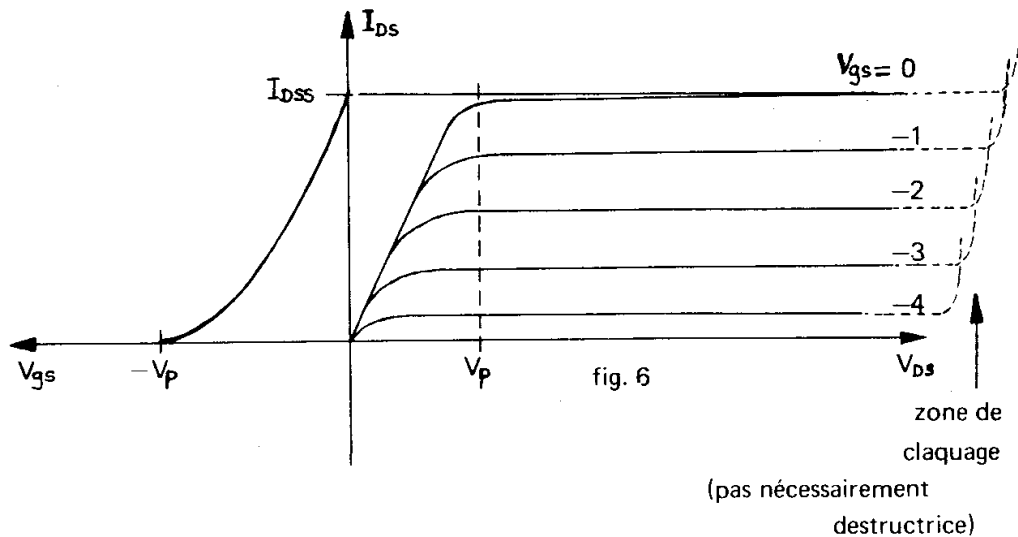


fig. 6

**Fig. 6**

Les courbes caractéristiques que l'on trouve figure 6 permettent de constater qu'il existe deux régions d'utilisation bien distinctes :

- $V_{DS} < V_p$  : Le PET se comporte comme une résistance rigoureusement pure (emploi ,dans les atténuateurs, circuits de CAG, ... ).
- $V_{DS} > V_p$  : On se trouve en régime de saturation de courant. Le courant est pratiquement indépendant de la tension drain-source. Le FET se comporte comme un générateur de courant d'impédance interne très élevée (emploi pour des fonctions d'amplification).

La pente  $\Delta I_{DS} / \Delta V_{GS} = S$  est variable comme pour les tubes électroniques. La caractéristique  $I_{DS}$ ,  $V_{GS}$  est sensiblement parabolique.

## 2) Un « effet de champ » est caractérisé par:

- 1) Sa tension de pincement  $V_p$  (de 1 à 10 V).
  - 2) Son courant de saturation  $I_{DSS}$  (pour  $V_{GS} = 0$  V) (0,1 à 40 mA).
  - 3) Sa pente  $S = \Delta I_{DS} / \Delta V_{GS}$  (0,1 à quelques mA / V).
- On définit par  $S_0$  la pente pour  $V_{GS} = 0$  V. On a approximativement  $S_0 \approx 2 \cdot I_{DSS} / V_p$ .
- 4) Sa tension de claquage  $BV_{DG}$  ou  $V_{(BR)DG}$  (20 à 30 V minimum) (elle n'est pas nécessairement destructive).
  - 5) Sa forte impédance interne (plusieurs milliers d'ohms: -  $100 \cdot 10^6$  n).
  - 6) Sa très grande impédance d'entrée (diode en inverse) ( -  $10^9$  n soit 1000 Mn).
  - 7) Ses capacités  $C_{GS}$ ,  $C_{DS}$ ,  $C_{GD}$  ( $C_{GS} =$  quelques pF ;  $C_{DS} = 1$  à 5 pF ;  $C_{GD} = 0,5$  à 4 pF).

Nous retrouverons, comme toujours, l'effet Miller et la capacité d'entrée s'écrira:

$$C_E = C_{GS} + C_{GD} (1 + G) \text{ avec } G : \text{ gain de l'étage.}$$

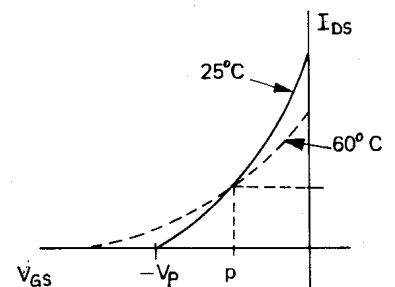
## Influence de la température

La caractéristique  $I_{DS}$ ,  $V_{GS}$  bascule généralement autour d'un point P thermiquement stable (figure 7). Si l'on polarise l'effet de champ au point P, son courant et, par suite, sa tension de drain, ne varieront pas lorsque la température varie.

Il ne peut y avoir d'emballage thermique comme c'était le cas avec les transistors.

De par sa structure sensiblement symétrique, on peut théoriquement permuter source et drain (cas du MPF 102).

Toutefois, les capacités  $C_{GS}$  et  $C_{GD}$  peuvent ne pas être tout à fait identiques. D'autre part, la conductivité thermique peut être différente côté source et côté drain.



**Fig. 7**

### 3) Montages principaux .

#### 1) En source commune

Nous aurons toujours une polarisation négative de grille, soit à l'aide d'une tension négative (figure 8), soit à l'aide d'une polarisation automatique (figure 9). Du fait de la très haute impédance d'entrée du FET, la capacité d'attaque peut être réduite.

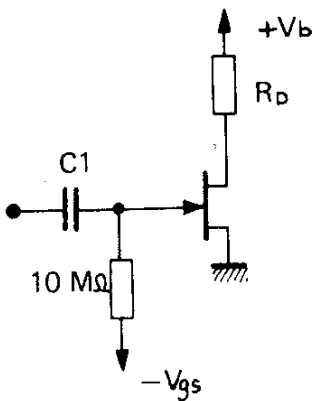


Fig. 8

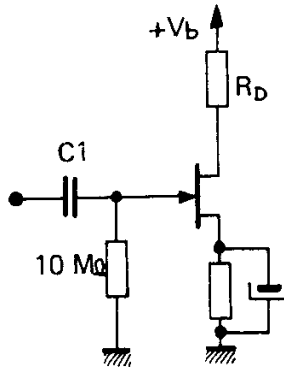


Fig. 9

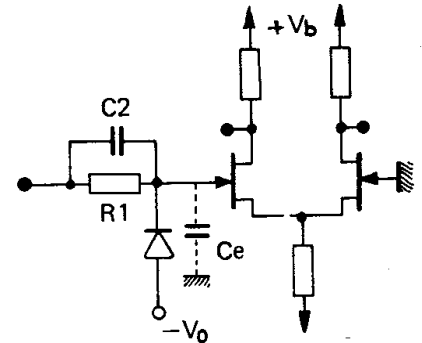


Fig. 10

Le gain sera  $G = S \cdot R_d$ .

Le montage de la figure 10 correspond à l'amplificateur différentiel à effet de champ. On remarquera le réseau de protection (que l'on peut adapter pour tout montage à FET attaqué par sa porte).

La résistance  $R_1$  limite le courant à des valeurs non dangereuses lorsque la gate devient accidentellement positive, c'est-à-dire lorsque la jonction gate-source devient conductrice. Le condensateur  $C_2$  permet de compenser la perte due à la capacité d'entrée  $C_E$  et, par suite, améliorer la réponse aux fréquences élevées. La diode permet de limiter le potentiel de gate à une tension négative inférieure à la tension de claquage inverse gate-source.

#### Propriétés du montage à source commune :

- très grande impédance d'entrée;
- gain moyen (de l'ordre de 10 à 100). Si l'on augmente  $R_d$ , le courant diminue, ce qui entraîne une diminution de la pente.

#### 2) En drain commun (ou source follower)

Le gain en tension est inférieur à 1 (0,7 à 0,8).

Le schéma de la figure 12 permet d'obtenir une impédance d'entrée nettement plus élevée que celle de la figure 11.

Dans les 2 cas, l'impédance d'entrée est extrêmement élevée. D'autre part, il n'y a pas d'effet Miller. L'impédance de sortie est de quelques centaines d'ohms ( $= 1 / S$ ).

A partir d'un transistor à effet de champ, on peut réaliser le montage de la figure 13. Un amplificateur à grand gain, bouclé en contre-réaction au gain de 1 permet d'obtenir un suiveur de tension présentant les caractéristiques suivantes :

- impédance d'entrée pratiquement infinie;
- excellente linéarité ;
- impédance de sortie très basse ;
- $V_S \approx V_E$ .

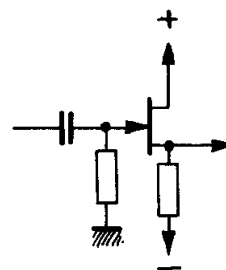


Fig. 11

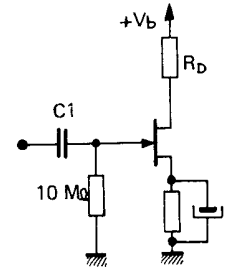


Fig. 12

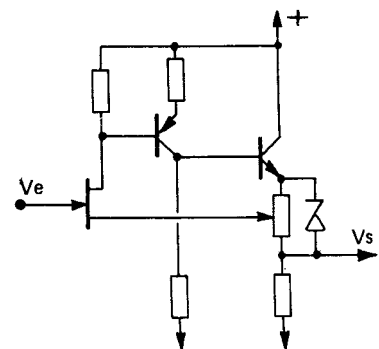


Fig 13

### 3) En grille commune

Le signal, appliqué à la source, ressort amplifié dans le circuit de drain.

#### Propriétés :

- Faible impédance d'entrée ( $1 / S$ , soit quelques centaines d'ohms).
  - Faible bruit.
  - Très bonne stabilité en HF (du fait de la résistance interne très élevée et de  $C_{DG}$  très faible, il y a très peu de couplage entre l'entrée et la sortie).
  - Très faible intermodulation.
  - Possibilité de variation de gain par la polarisation (CAG).
  - Fort gain possible au dessus de 100 MHz ( $G = S \cdot R_d$ ).
- Un montage à grille commune associé avec un montage à source commune s'emploie fréquemment en étage préamplificateur hautes fréquences sous le nom de montage cascode (figure 14).

Nota: Le GAS-FET, ou FET à arséniure de gallium est un FET à appauvrissement présentant une plus grande mobilité des porteurs. Il est très apprécié à des fréquences dépassant le GHz à cause de son très faible bruit.

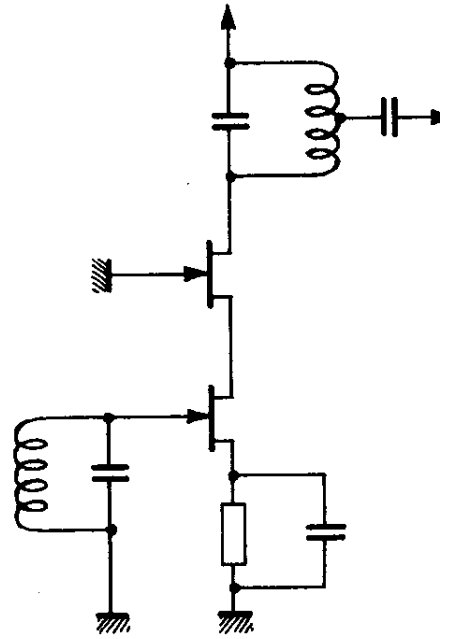


Fig. 14

### B) Les MOS ou MOSFET

(Metal Oxid Semiconductor Field Effect Transistor)

On a pris l'habitude de les appeler MOS. Appelés également transistors à effet de champ à grille isolée. On peut les trouver "à canal N" ou "à canal P". Il existe 2 familles de MOS:

- 1) les MOS à appauvrissement (ou déplétion) ;
- 2) les MOS à enrichissement (ou enhancement).

#### 1) Le MOS à appauvrissement (déplétion)

Sa structure est similaire à celle d'un FET classique, mais le canal est très mince et, d'autre part, la grille est constituée par une métallisation déposée sur une mince couche de silice (qui est un excellent isolant) dont l'épaisseur est de 0,1 à 0,2 microns.

Nous retrouvons (figure 16) les mêmes caractéristiques que celles du FET classique pour  $V_{GS}$  négative.

Pour  $V_{GS} < 0$ , on trouve une caractéristique identique à celle que l'on a rencontrée pour un effet de champ classique.

Mais, cette fois, la grille étant isolée, il est possible de la rendre positive sans créer de courant grille. On élargira le canal et, par suite, on augmentera le courant. La commande pourra donc être positive ou négative.

Pour  $V_{GS} < 0$ , on aura un pincement du canal, donc appauvrissement.

Pour  $V_{GS} > 0$ , on aura élargissement du canal, donc enrichissement.

Nota: Le MOS à appauvrissement est donc à la fois à appauvrissement et à enrichissement.

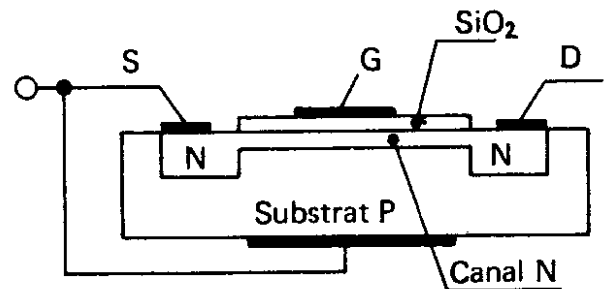


Fig. 15 -

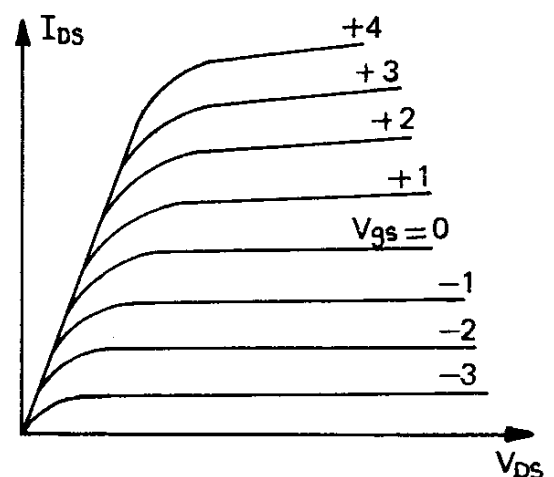


Fig. 16

## 2) Le MOS à enrichissement (enhancement)

Il se présente suivant le schéma de la figure 17. Dans ce cas, il n'y a plus du tout de canal N ! Source et drain sont deux zones N diffusées dans le substrat.

1) Pour  $V_{GS} < 0$  ou  $V_{GS} = 0$ , les jonctions source-substrat et drain-substrat se trouvent polarisées en inverse) ; il ne passera aucun courant.

2) Rendons la grille positive:

La grille se comporte comme l'armature d'un condensateur qui se charge positivement.

L'autre armature du condensateur (le substrat P) doit prendre une polarisation opposée à celle de la grille. Ses "trous" se trouvent repoussés par la grille; autrement dit, la partie du substrat touchant l'oxyde de silicium se charge négativement. Il se crée artificiellement un canal N.

Plus  $V_{GS}$  augmente, plus le canal s'élargit. Toutefois, comme dans les FET classiques, on retrouve l'effet de pincement du canal du côté drain lorsque  $V_{DS}$  augmente, ce qui conduit à un courant  $I_{DS}$  constant pour une valeur constante de  $V_{GS}$ .

Les courbes caractéristiques d'un MOS à enrichissement sont indiquées par la figure 19. On constate qu'il n'y a plus de tension de pincement, mais une tension de seuil de  $V_{GS}$  pour faire apparaître un courant los.

Le courant  $I_{DSmax}$  est limité par la puissance que le MOS peut supporter et, également, par la tension  $V_{GDmax}$  qui correspond au claquage du condensateur.

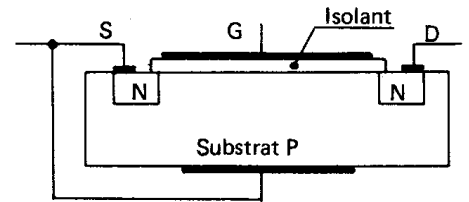


Fig. 17

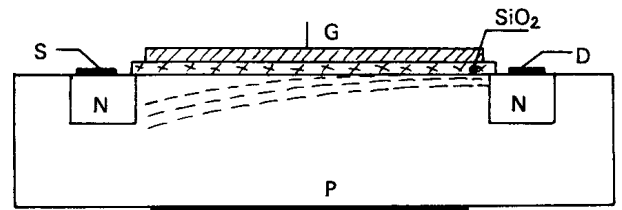


Fig. 18

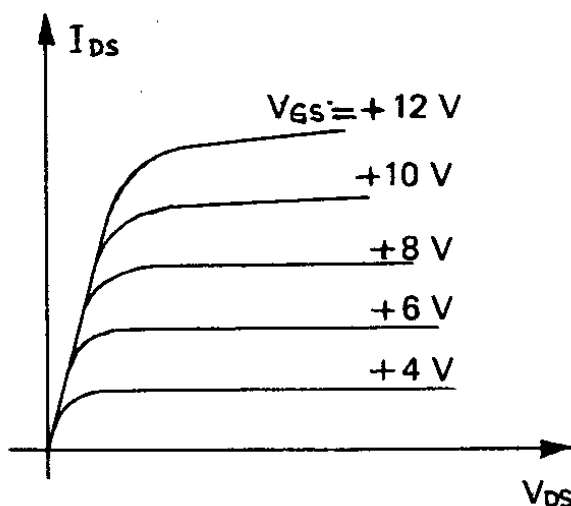


Fig. 19

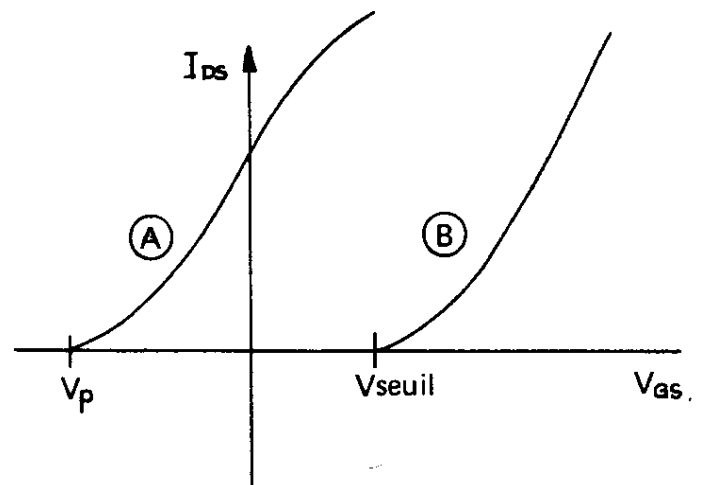


Fig. 20

En figure 20, on trouve une comparaison des caractéristiques  $I_{GS}$ ,  $V_{GS}$  d'un MOST à appauvrissement et d'un MOS à enrichissement.

**Nota :** Un MOS canal P fonctionne de même ; toutes les tensions et les courants sont inversés par rapport au MOS canal N.

## 3) Propriétés des MOS

Grâce à la couche d'oxyde de silicium qui crée un excellent isolement, l'impédance d'entrée est extrêmement grande. Elle est, couramment, de  $10^{12} \Omega$  (1 million de mégohms !). On atteint  $10^{13}$  à  $10^{15} \Omega$ . On emploie certains MOS en électrométrie.

Il est à noter que la gate est extrêmement fragile :

- Il est impossible de mesurer la tension de claquage gate-source ( $V_{BRGS}$ ) sans provoquer la destruction du MOS.

- Il est impératif de protéger la gate contre les décharges statiques (mise à la masse du fer à souder qui sera branché à travers un transformateur d'isolement).
  - Il ne faut pas porter de vêtements créant des charges statiques (blouses, chemises, cravates en nylon).
  - Il faut mettre à la masse (bracelets) les ouvrières qui travaillent sur les MOS; les tables ont, en général, une bordure métallique; elles sont couvertes d'un tapis conducteur; elles sont posées sur un tapis antistatique qui déborde d'au moins 1 mètre les dimensions de la table; l'ensemble est relié par des tresses de masse. Enfin, l'ensemble est relié à la terre à travers une résistance de 1 M $\Omega$  (pour éviter un accident en cas de fuite du secteur). L'hygrométrie est souvent contrôlée.
  - On court-circuite les pattes du MOS pour le transporter de son emballage à son montage et on ne le libère qu'après soudure.
  - Enfin, il ne faut jamais les conserver dans des pochettes en plastique (excepté le plastique conducteur, prévu pour usage électronique).
- Toutefois, il existe des MOS à gate protégée par diode; ceci s'obtient au détriment de l'impédance d'entrée.

### Ordre de grandeur des capacités parasites :

Capacité drain-source  $C_{DS}$ : de 1 à 4 pF. Capacité gate-source  $C_{GS}$  : 0,5 à 2 pF. Capacité drain-gate  $C_{DG}$  : de 0,1 à 1 pF.

Ces très faibles capacités permettent à de nombreux MOS de travailler à des fréquences très élevées.

### Symboles employés

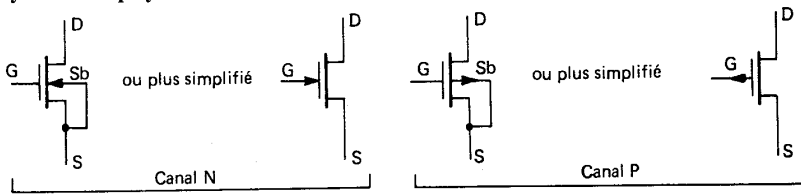
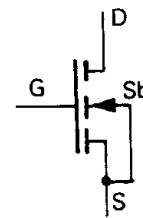


Fig. 21



*Parfois, l'on désire préciser que l'on a un MOS à enrichissement (on isole drain et source)*

Fig. 22

### 4) Utilisations des MOS

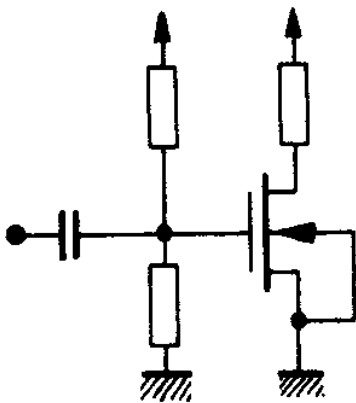


Fig. 23

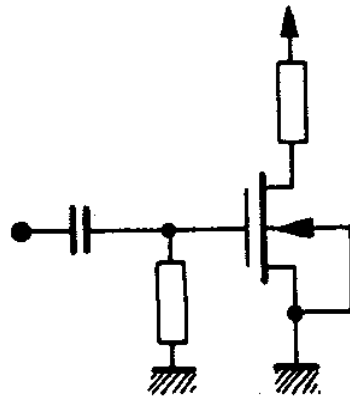


Fig. 24

1) Un MOS à enrichissement devra obligatoirement travailler à tension de grille positive (figure 23). On l'emploie, en général, dans les circuits de commutation. Sa structure simple permet de l'employer en haute intégration (LSI = large scale intégration).

On arrive à placer quelques centaines de MOS au  $\text{mm}^2$ .

2) Le MOS à appauvrissement peut travailler à tension de gate nulle (ce qui constitue un grand avantage sur les FET) (figure 24). On l'emploiera, plus fréquemment, en amplification BF, HF ou VHF, ainsi qu'en changement de fréquence. Il

est à noter qu'il est impossible d'employer les MOS dans des circuits fonctionnant avec courant grille.

### 5) Autres types de MOS

1) Il est possible de construire des MOS à double commande (figure 25) dits "double gate", permettant d'effectuer un changement de fréquence, une modulation ... La gate 1 (la plus proche de la source) est plus sensible que la gate 2.

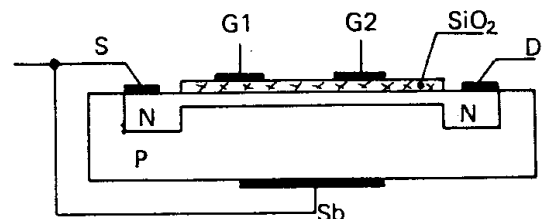


Fig. 25

Son symbole est donné ci-contre.

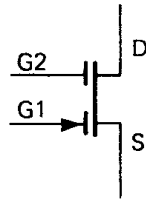


Fig. 26

## 2) Le MOS de puissance: le V-MOS (vertical MOS)

Le principal inconvénient du MOS réside dans la très faible épaisseur du canal. Ceci limite l'intensité du courant, donc la puissance.

Une nouvelle technologie permet d'obtenir un canal aussi court que possible en réalisant une structure telle que celle représentée en figure 27.

Sur un substrat fortement dopé N<sup>+</sup> (donc présentant une faible résistance de conduction) qui constitue le drain, on diffuse une couche N<sup>-</sup> épitaxiée (très faiblement dopée pour augmenter la tension de claquage et diminuer la capacité de réaction gate-drain).

La couche P<sup>-</sup>, puis la source N<sup>+</sup> sont ensuite diffusées.

Une entaille en forme de V est alors réalisée à travers la source et la couche P jusqu'à mi-épaisseur de la couche N<sup>-</sup>. Une couche de silice (Si O<sub>2</sub>) isolante est ensuite créée, puis les contacts de source et de gate (métallisation en aluminium) sont enfin déposés.

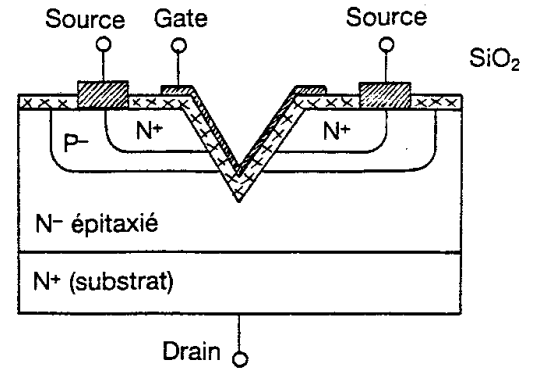


Fig. 27

g. 27

### Fonctionnement:

Lorsque la gate est portée à un potentiel positif, elle induit, le long de la couche de silice, un canal N à travers la couche P<sup>-</sup>. Il se crée donc deux canaux N (de part et d'autre de l'entaille en V) qui sont à la fois longs dans le sens de l'entaille et très courts à travers la zone P<sup>-</sup>.

Cela permet d'obtenir de forts courants avec un minimum de résistance. De plus, le drain peut être fixé sur une surface métallique qui permet d'extraire aisément le dégagement de chaleur.

La caractéristique  $I_{DS}$ ,  $V_{GS}$  très linéaire fait apparaître la tension de seuil (figure 23c).

### Avantages des V-MOS :

- Caractéristique de transfert linéaire (courant de sortie proportionnel à la tension de commande).
- Faible bruit.
- Pas d'emballement thermique.
- Excellents en commutation rapide.
- Peuvent s'employer aussi bien dans les classes A, AB, B ou C (pas de polarisation de gate en classe C grâce à la tension de seuil).
- Supporte sans dommage un fort ROS.
- Excellente dissipation thermique.

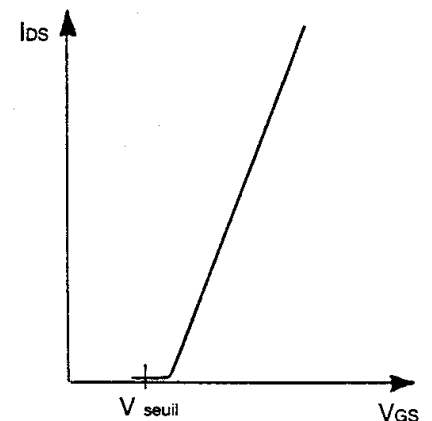


Fig. 28

## C) Notions sur les C-MOS (Complementary MOS)

En associant des MOS canal N et canal P (à enrichissement), il est possible de créer une famille de circuits logiques qui n'utilisent que très peu d'énergie pour leur fonctionnement propre. Leur tension d'alimentation est comprise entre 5 et 15 V.

Le montage le plus simple est celui de la figure 29. Chaque MOS se comporte comme une résistance de charge de l'autre.

Supposons que l'on mette G au potentiel d'alimentation  $+V_{DD}$ .

- Le MOS canal P sera coupé. Sa résistance sera très grande.
- Le MOS canal N sera conducteur. Sa résistance sera faible (200 à 400  $\Omega$ ).

La sortie (point commun des drains) sera au potentiel de la masse (état 0). Si nous mettons maintenant G à la masse, ce sera le MOS canal N qui sera coupé et le MOS canal P qui conduira. La sortie sera à  $+V_{DD}$  (état 1).

On constate donc que, si les grilles sont dans un certain état logique, la sortie est dans l'état logique opposé. On a obtenu un inverseur logique.

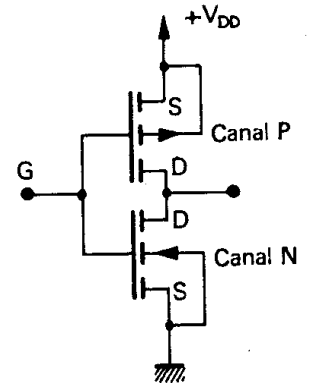


Fig. 29

### Avantages:

- Quel que soit l'état logique d'entrée, l'un des MOS est conducteur tandis que l'autre est coupé. Le montage, par lui-même, ne consomme aucun courant lorsqu'il est dans un état logique. Ce n'est que pendant le basculement que les deux MOS se retrouveront ensemble conducteurs. Autrement dit, l'énergie nécessaire aux circuits C-MOS est très faible.
- La résistance à l'état conducteur ( $R_{ON}$ ) est faible, ce qui permet d'obtenir une sortance très élevée (la sortance indique le nombre d'entrées qu'il est possible de commander à partir d'une seule sortie). Pour les C-MOS, elle est d'environ 50.

### 1) Exemples d'assemblage de C-MOS

Dans l'exemple de la figure 30, on suppose les 2 entrées à 0. Les 2 MOS canal P sont conducteurs, tandis que les 2 MOS canal N sont coupés. La sortie est à l'état 1.

L'une des entrées passe à 1 : L'un des MOS canal P se coupe, mais l'autre reste conducteur, tandis que l'un des MOS canal N devient conducteur; mais l'autre canal N restant coupé, la sortie ne sera pas commutée à la masse. Il n'y aura pas de changement d'état.

Si maintenant les 2 entrées passent à 1, les 2 MOS canal P se coupent, tandis que les 2 MOS canal N (en série) deviennent conducteurs. La sortie passe à 0.

Il faut donc passer les 2 entrées à l'état 1 pour obtenir un zéro à la sortie. On obtiendra une fonction ET inversée, dite "NON-ET" ou "NAND" à 2 entrées.

Notons qu'il est possible de raccorder à la sortie de la figure 30 un inverseur (figure 29) pour obtenir la fonction "ET" ou "AND" à deux entrées.

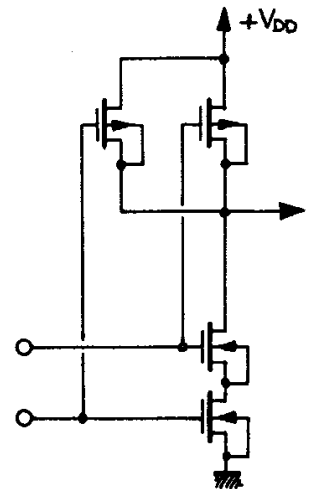


Fig. 30

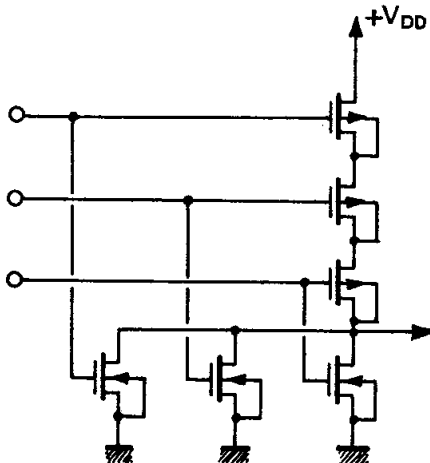


Fig. 31

Dans le montage de la figure 31, on constate que lorsque les 3 entrées sont à 0, les 3 MOS canal P en série sont conducteurs tandis que les 3 MOS canal N sont coupés. Il suffit que l'une ou l'autre entrée passe à l'état 1 pour que l'un des MOS canal P se coupe, isolant la sortie  $+V_{DD}$ , tandis que l'un des MOS canal N devient conducteur, réunissant la sortie à la masse.

On aura réalisé une fonction "NON-OU" ou "NOR" à 3 entrées. L'adjonction d'un inverseur en sortie donnera la fonction "OU" ou "OR" à 3 entrées.

Suivant les combinaisons réalisées, on pourra construire des portes à 2, 3, 4 ou 8 entrées. Les fonctions que l'on peut créer devenant rapidement complexes, il deviendra impossible de

donner le schéma complet du montage. On emploiera une représentation symbolique pour chaque circuit logique. D'autre part, les états de sortie en fonction des états d'entrée seront indiqués sous forme de tableaux

Exemple de quelques représentations graphiques :

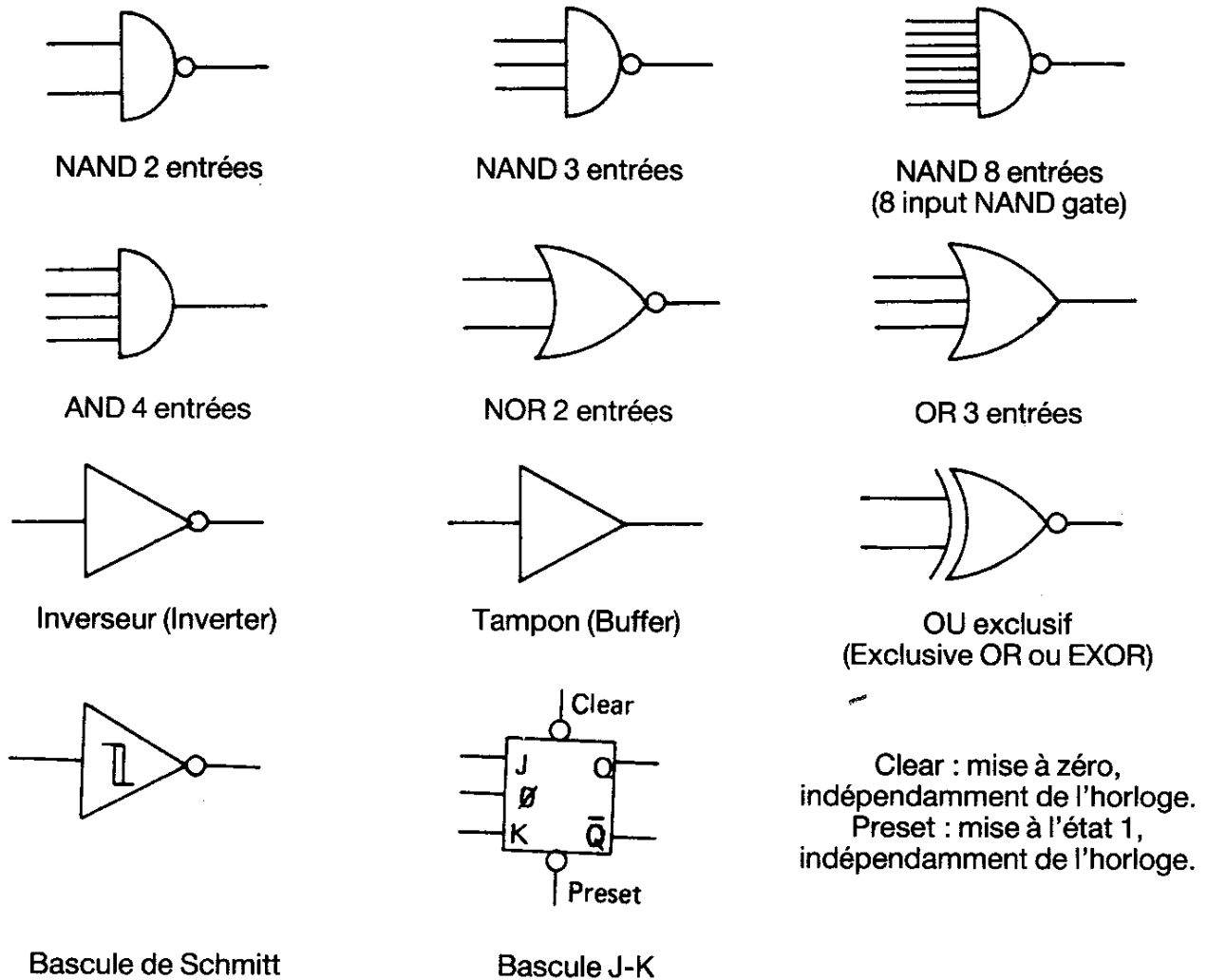
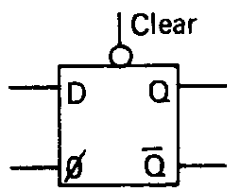


Fig. 32



Bascule type D  
 Ø : clock = horloge  
 X : indifférent  
 D : data = donnée  
 ⌋ : transition montante  
 $\bar{Q}$  : état opposé à celui de Q

Entrées			Sorties	
Clear	Clock	D	$Q_{n+1}$	$\bar{Q}_{n+1}$
0	X	X	0	1
1	⌋	1	1	0
1	⌋	0	0	1
1	1	X	$Q_n$	$\bar{Q}_n$
1	0	X	$Q_n$	$\bar{Q}_n$

Exemple de table de vérité pour la bascule D ci-contre

Nota : Le symbole "O—" sur les représentations graphiques signifie que la fonction s'effectue pour le niveau 0 et non pour le niveau 1.

Exemple : La sortie d'une NAND tombe à zéro lorsque la fonction ET se réalise.  
 L'entrée "Clear" des bascules représentées ci-dessus n'est active que lorsqu'elle devient nulle.

Fig.33

## 2) Courbes caractéristiques des C-MOS

Pour un C-MOS, la tension commune aux deux "gate" doit rester comprise entre les tensions de drains (soit entre  $+V_{DD}$  et 0).



Fig. 34

Caractéristique pour un canal N

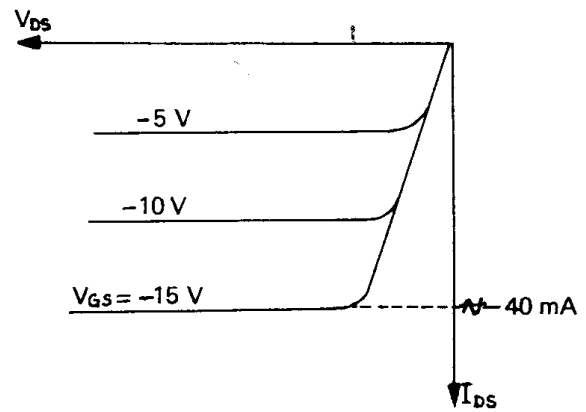


Fig. 35

Caractéristique pour un canal P

Les caractéristiques des figures 34 et 35 permettent de connaître le courant maximal qu'un C-MOS peut délivrer en fonction de sa tension d'alimentation.

La courbe de la figure 36 permet de repérer quelques propriétés du C-MOS.

Pour  $V_{GS} = 0$ , le canal N est coupé, tandis que le canal P est "ON". La tension de sortie est égale à  $+V_{DD}$ .

Lorsque  $V_{GS} = 1$ , c'est le canal N qui conduit tandis que le canal P est coupé. La sortie est à 0.

Il faut que  $V_{GS}$  dépasse la tension de seuil de chaque MOS pour commencer à rendre le canal conducteur.

Il y a donc pour  $V_{GS} = 0$  et pour  $V_{GS} = +V_{DD}$  deux zones de forte immunité au bruit.

Dans la zone centrale ©, une très faible variation de  $V_{GS}$  provoque une variation rapide de la tension de sortie. C'est donc une zone à grand gain qui permet un changement rapide d'état (on exploite aussi cette zone pour certaines applications linéaires).

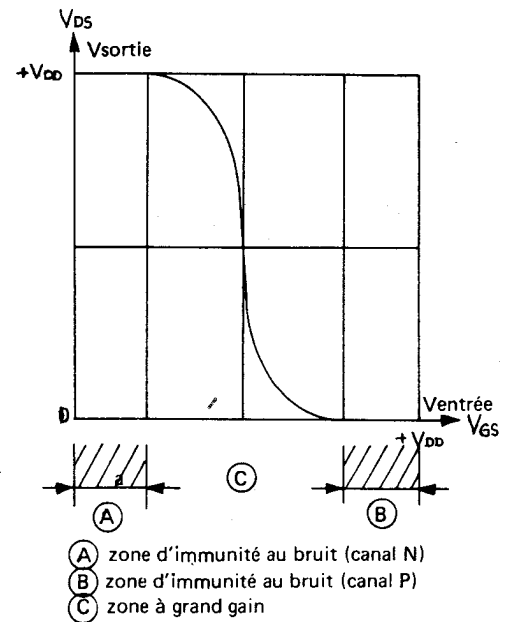


Fig. 36